

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/464

In re patent application of

Sang-jin PARK, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: MAGNETIC RANDOM ACCESS MEMORY INCLUDING MIDDLE OXIDE LAYER
AND METHOD OF MANUFACTURING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

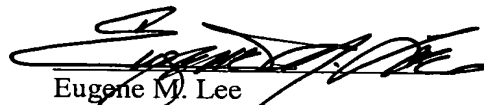
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-25716, filed April 23, 2003.

Respectfully submitted,

April 23, 2004
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0025716
Application Number

출원 년 월 일 : 2003년 04월 23일
Date of Application APR 23, 2003

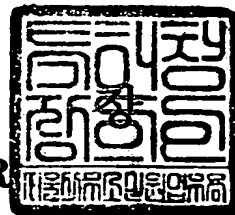
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2003.04.23
【국제특허분류】	H01L
【발명의 명칭】	이종방식으로 형성된 중간 산화막을 구비하는 자기 램 및 그 제조 방법
【발명의 영문명칭】	Magnetic Random Access Memory comprising middle oxide layer formed with hetero-method and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	박상진
【성명의 영문표기】	PARK, Sang Jin
【주민등록번호】	700303-2149112
【우편번호】	459-010
【주소】	경기도 평택시 서정동 827 금호아파트 101동 1605호
【국적】	KR
【발명자】	
【성명의 국문표기】	김태완
【성명의 영문표기】	KIM, Tae Wan
【주민등록번호】	620804-1046711

【우편번호】	431-737
【주소】	경기도 안양시 동안구 비산3동 삼호아파트 4동 808호
【국적】	KR
【발명자】	
【성명의 국문표기】	이정현
【성명의 영문표기】	LEE, Jung Hyun
【주민등록번호】	711128-1056211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 동아아파트 715동 802호
【국적】	KR
【발명자】	
【성명의 국문표기】	박완준
【성명의 영문표기】	PARK, Wan Jun
【주민등록번호】	610918-1002311
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 청실아파트 19동 408호
【국적】	KR
【발명자】	
【성명의 국문표기】	송이현
【성명의 영문표기】	SONG, lee Hun
【주민등록번호】	630808-1025522
【우편번호】	463-020
【주소】	경기도 성남시 분당구 수내동 푸른마을 쌍용아파트 509동 703호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 필 (인) 대리인 이영 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	8 면 8,000 원

1020030025716

출력 일자: 2003/5/14

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	37,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

이종방식으로 형성된 중간 산화막을 구비하는 자기 램 및 그 제조 방법에 관해 개시되어 있다. 여기서 본 발명은 MTJ층이 하부 자성막, 산화 방지막, 터널링 산화막 및 상부 자성막으로 구성된 것을 특징으로 하는 자기 램을 제공하고, 상기 터널링 산화막은 원자층 적층 방법으로 형성하고, 그 외의 나머지 물질막, 특히 상기 산화 방지막은 비 원자층 적층 방법으로 형성하는 것을 특징으로 하는 자기 램 제조 방법을 제공한다. 이러한 본 발명을 이용하면, 터널링 산화막의 두께를 균일하게 형성하면서 그 두께 조절도 용이하기 때문에, MTJ층의 저항 조절이 용이하고 셀 간의 저항 편차도 줄일 수 있다. 그리고 상기 터널링 산화막을 형성하는 과정에서 그 하부막이 손상되는 것을 방지하여 MR비가 낮아지는 것도 방지할 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

이종방식으로 형성된 중간 산화막을 구비하는 자기 램 및 그 제조 방법 {Magnetic Random Access Memory comprising middle oxide layer formed with hetero-method and method of manufacturing the same}

【도면의 간단한 설명】

도 1은 자기 램의 일반적 구성을 보여주는 단면도이다.

도 2 및 도 3은 도 1에 도시된 자기 램의 자기 터널 접합(MTJ)층의 구성과 함께 형성 방법을 단계별로 보여주는 단면도들이다.

도 4는 본 발명의 실시예에 의한 이종방식으로 형성된 중간 산화막을 구비하는 자기 램의 단면도이다.

도 5 내지 도 8은 본 발명의 실시예에 의한 이종방식으로 형성된 중간 산화막을 구비하는 자기 램의 MTJ층 형성 과정을 단계별로 보여주는 단면도들이다.

도 9는 본 발명의 실시예에 의한 이종방식으로 형성된 중간 산화막을 구비하는 자기 램의 특성평가를 위해 실시한 실험예에 사용된 MTJ층의 구성을 보여주는 단면도이다.

도 10은 도 9에 도시한 MTJ층과 비교하기 위한 대조군으로 사용된 MTJ층의 구성을 보여주는 단면도이다.

도 11은 도 10에 도시한 대조군 MTJ층의 바이어스 전압에 따른 저항변화를 보여주는 그래프이다.

도 12는 도 9에 도시한 MTJ층의 바이어스 전압에 따른 저항 및 자기저항(MR)비의 변화를 보여주는 그래프이다.

도 13은 도 9에 도시한 MTJ층에 인가되는 바이어스 전압을 고정시킨 상태에서 MTJ층에 인가되는 자기장의 변화에 따른 저항 변화를 보여주는 그래프이다.

도면의 주요 부분에 대한 부호설명

40:반도체 기판

42:필드산화막

44:게이트 적층물

46:소오스 영역

48:드레인 영역

50, 54, 64:제1 내지 제3 층간 절연막

52:데이터 라인

56:콘택홀

58:도전성 플러그

60:패드 도전층

62:MTJ층

62a, 62d:상부 및 하부 자성막

62c:터널링 산화막

62b:산화 방지막

66:비어홀

70:비트라인

80:감광막 패턴

AA:활성영역

FA:필드영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <22> 본 발명은 반도체 메모리 소자 및 그 제조 방법에 관한 것으로서, 자세하게는 이중 방식으로 형성된 중간 산화막을 구비하는 자기 램 및 그 제조 방법에 관한 것이다.
- <23> 자기 램(Magnetic Random Access Memory)은 자기 터널 접합(Magnetic Tunneling Junction)층(이하, MTJ층이라 함)을 구성하는 두 자성막의 자화 방향에 따라 MTJ층의 저항 값이 달라지는 현상을 이용하여 데이터를 기록하고 읽는 메모리 소자로서, DRAM과 SRAM처럼 고집적 및 고속동작이 가능하고, 플레쉬 메모리와 같이 리프레쉬(refresh) 과정 없이 데이터를 장기간 저장할 수 있는 불휘발 특성도 갖고 있다.
- <24> 자기 램의 일반적 구성은 도 1에 도시된 바와 같이 스위칭 역할을 하는 한 개의 트랜지스터(T)와 이에 전기적으로 연결되고 "0" 또는 "1"과 같은 데이터가 기록되는 한 개의 MTJ층(S)으로 이루어진다.
- <25> 도 1을 참조하면, 종래 기술에 의한 MRAM 제조방법의 경우, 반도체 기판(10) 상에 게이트 전극이 포함된 게이트 적층물(12)과 그 양측에 소오스 및 드레인 영역(14, 16)이 형성된다. 이렇게 해서, 반도체 기판(10)에 스위치 역할을 하는 트랜지스터(T)가 형성된다. 참조번호 11은 필드 산화막을 나타낸다. 트랜지스터(T)가 형성된 반도체 기판(10) 상으로 트랜지스터(T)를 덮는 층간 절연막(18)이 형성된다. 층간 절연막(18)이 형성되는 과정에서 게이트 적층물(12) 위쪽에 층간 절연막(18)으로 덮이는 데이터 라인(20)이 게이트 적층물(12)과 나란히 형성된다. 층간 절연막(18)에 드레인 영역(16)이 노출되는 콘

택홀(22)이 형성된다. 콘택홀(22)에 층간 절연막(18)과 동일한 높이로 도전성 플러그(24)가 채워진 다음, 층간 절연막(18) 상에 도전성 플러그(24)의 전면과 접촉되는 패드 도전층(26)이 형성된다. 패드 도전층(26)은 데이터 라인(20) 위쪽으로 형성된다. 패드 도전층(26)의 데이터 라인(20)에 대응되는 영역 상에 MTJ층(S)이 형성되고, MTJ층(S)이 형성된 결과물 상으로 MTJ층(S)과 패드 도전층(26)을 덮는 제2 층간 절연막(28)이 형성된다. 제2 층간 절연막(28)에 MTJ층(S)의 상부막이 노출되는 비어홀(30)이 형성된다. 제2 층간 절연막(28) 상으로 비어홀(30)을 채우는 비트 라인(32)이 상기 게이트 전극 및 데이터 라인(20)에 수직한 방향으로 형성된다.

<26> 도 1에 도시된 MRAM에 구비된 MTJ층(S)은 도 2 및 도 3에 도시된 바와 같이 형성된다.

<27> 곧, 도 2에 도시된 바와 같이, 패드 도전층(26)의 소정 영역 상에 하부 자성막(S1), 터널링 배리어 막(tunneling barrier layer)(S2) 및 상부 자성막(S3)이 순차적으로 형성된 다음, 상부 자성막(S3) 상에 MTJ층(S)이 형성될 영역을 한정하는 마스크 패턴(M)이 형성된다.

<28> 터널링 배리어 막(S2)은 하부 자성막(S1) 상에 알루미늄(Al)막과 같은 금속막을 증착시킨 후, 이를 산화시킴으로써 형성된다. 상기 금속막을 산화시키기 위해 플라즈마 산화(plasma oxidation), 자외선 산화(UV oxidation), 자연산화(Natural Oxidation) 또는 오존 산화(Ozone oxidation) 방법 등이 사용된다.

<29> 계속해서, 마스크 패턴(M)을 식각 마스크로 하여 상기 순차적으로 형성된 물질막들이 역순으로 식각되고, 마스크 패턴(M)이 제거됨으로써 도 3에 도시된 바와 같이 패드 도전층(26) 상에 MTJ층(S)이 완성된다.

- <30> 상기 적층된 물질층을 역순으로 식각하기 위해 아르곤 가스(Ar)가 사용되는 이온 밀링(ion milling) 방법, 염소가스를 이용하는 건식식각방법 또는 반응성 이온식각(Reactive Ion Etching) 방법이 사용된다. 이외에 MTJ층(S)은 리프트 오프(lift-off) 공정으로 형성될 수도 있다.
- <31> 일반적으로, MRAM의 터널링 배리어(tunneling barrier) 막은 터널링이 스핀 의존적(spin-dependent)으로 일어나기 위해서 결함이 없는 균일한 층으로 형성되어야 한다.
- <32> 그런데, 종래 기술에 의한 MRAM의 터널링 배리어 막(S2)은 상술한 바와 같이 플라즈마 산화, 자외선 산화, 자연산화 또는 오존 산화 등의 방법으로 금속막을 산화시켜 형성되는 것인 바, 그 과정에서 다음과 같은 문제점이 발생된다.
- <33> 구체적으로, 플라즈마 산화 방법으로 금속막이 산화되는 경우, 그 과정에서 금속막 아래에 형성된 하부 자성막(S1)을 구성하는 박막들의 인터페이스(interface)가 손상되어 MTJ층(S)의 MR비가 낮아지거나 MRAM의 안정성이 손상될 수 있다. 그리고 상기한 다른 방법들로 금속막이 산화되는 경우, 그 과정에서 터널링 배리어 막(S2)의 두께 균일도가 달라질 수 있는데, 이러한 균일도 변화는 금속막이 형성되는 과정에서 공정상 불가피하게 나타나는 상기 금속막의 두께 균일도 변화와 더불어 MRAM의 특성, 예컨대 MR비를 크게 변화시키게 된다.
- <34> 이러한 난제들을 해소하기 위해 제시된 방안의 하나가 MRAM의 MTJ층(S)을 원자층 증착(Atomic Layer Deposition) 방법(이하, ALD방법이라 함)으로 형성하는 것인데, 이에 대한 자세한 설명은 대한민국 특허출원 제2001-37444호(2001.6.28, 발명의 명칭:원자층

증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노소자 형성방법)에 개시되어 있다

<35> ALD방법으로 MRAM의 MTJ층(S)을 형성하는 경우, ALD방법의 특성상 균일한 두께로 목적하는 물질막, 곧 터널링 배리어 막(S2)을 형성할 수는 있으나, 그 과정에서 상기 목적하는 물질막과 그 하부에 형성된 물질막의 인터페이스 특성이 변화되어 MR비가 낮아지는 결과를 초래하게 된다.

【발명이 이루고자 하는 기술적 과제】

<36> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, MTJ층의 터널링 산화막을 균일한 두께로 형성하면서 그 하부막질의 손상에 따라 MR비가 작아지는 것을 방지할 수 있는 자기 램을 제공함에 있다.

<37> 본 발명이 이루고자 하는 다른 기술적 과제는 이러한 자기 램의 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

<38> 상기 기술적 과제를 달성하기 위하여, 본 발명은 단위 셀이 한 개의 트랜지스터와 한 개의 MTJ층을 구비하는 자기 램에서 상기 MTJ층이 하부 자성막, 산화 방지막, 터널링 산화막 및 상부 자성막으로 구성된 것을 특징으로 자기 램을 제공한다.

<39> 본 발명의 실시예에 따르면, 상기 산화 방지막은 알루미늄 산화막(AlO_x)이고, 상기 터널링 산화막은 알루미늄 산화막(AlO_x), 알루미늄 하프늄 산화막($Al_xHf_{1-x}O_y$) 또는 철 산화막(Fe_3O_4)이다.

- <40> 또한, 상기 터널링 산화막은 구성하는 각 성분이 원자층 단위로 순차적으로 반복 적층된 구조를 갖는다.
- <41> 본 발명은 또한 상기 다른 기술적 과제를 달성하기 위하여, 단위 셀이 한 개의 트랜지스터와 한 개의 MTJ층을 구비하는 자기 램의 제조 방법에 있어서, 상기 MTJ층은 하부 자성막, 산화 방지막, 터널링 산화막 및 상부 자성막을 순차적으로 적층하여 형성되, 상기 터널링 산화막은 ALD방법으로, 상기 다른 세 물질막 중 적어도 상기 산화 방지막은 상기 ALD방법과 다른 방법으로 각각 형성하는 것을 특징으로 하는 자기 램 제조 방법을 제공한다.
- <42> 본 발명의 실시예에 따르면, 상기 산화 방지막은 알루미늄 산화막으로 형성하되, 스퍼터링 방법으로 형성한다.
- <43> 그리고 상기 하부 자성막 스퍼터링 방법 또는 ALD방법으로 형성한다. 이때, 상기 상부 자성막은 역시 스퍼터링 방법 또는 ALD방법으로 형성한다.
- <44> 상기 터널링 산화막은 알루미늄 산화막, 알루미늄 하프늄 산화막 또는 철 산화막으로 형성한다.
- <45> 이러한 본 발명을 이용하면, 터널링 산화막의 두께를 균일하게 형성하면서 그 두께 조절도 용이하기 때문에, MTJ층의 저항 조절이 용이하고 셀 간의 저항 편차도 줄일 수 있다. 그리고 상기 터널링 산화막을 형성하는 과정에서 그 하부막이 손상되는 것을 방지하여 MR비가 낮아지는 것도 방지할 수 있다.

- <46> 이하, 본 발명의 실시예에 의한 이중방식으로 형성된 중간막을 구비하는 자기 램 및 그 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- <47> 먼저, 본 발명의 실시예에 의한 자기 램(이하, 본 발명의 자기 램이라 함)에 대해 설명한다.
- <48> 도 4를 참조하면, 반도체 기판(40)에 활성영역(Aactive Area)(AA) 및 필드영역(FA)이 설정되어 있다. 필드영역(FA)에 필드 산화막(42)이 형성되어 있다. 필드산화막(42)사이의 활성영역(AA)에 게이트 적층물(44)과 소오스 및 드레인 영역(46, 48)으로 구성되는 트랜지스터가 형성되어 있다. 반도체 기판(40) 상으로 상기 트랜지스터를 덮는 제1 층간 절연막(50)이 형성되어 있다. 제1 층간 절연막(50) 상에 게이트 적층물(44)과 대응되도록 데이터 라인(52)이 형성되어 있다.
- <49> 데이터 라인(52)은 MTJ층(62)에 데이터를 기록하기 위한 자기장 발생수단으로써, 데이터 기록시에 소정의 전류가 데이터 라인(52)에 인가되면서, 데이터 라인(52) 둘레에 MTJ층(62)을 통과하는 자기장이 발생된다. 이때, 상기 트랜지스터는 오프 상태(off state)가 된다.
- <50> 제1 층간 절연막(50) 상으로 이러한 데이터 라인(52)을 덮는 제2 층간 절연막(54)이 형성되어 있다. 제1 및 제2 층간 절연막(50, 54)에 데이터 라인(52) 및 게이트 적층물(44)로부터 소정 거리만큼 이격된 콘택홀(56)이 형성되어 있다. 콘택홀(56)을 통해 상기 트랜지스터의 드레인 영역(48)이 노출된다. 콘택홀(56)은 도전성 플러그(58)로 채워져 있다. 제2 층간 절연막(54) 상에 도전성 플러그(58)의 전면과 접촉되는 패드 도전층(60)이 데이터 라인(52) 위쪽으로 확장되어 있다. 패드 도전층(60)의 데이터 라인(52)에

대응되는 소정의 영역 상에 MTJ층(62)이 형성되어 있다. MTJ층(62)은 하부 자성막(62a), 산화 방지막(62b), 터널링 산화막(62c) 및 상부 자성막(62d)을 포함한다. 하부 자성막(62a)은 씨드막(seed layer)과 피닝(pinning)막과 핀드(pinned)막이 순차적으로 적층된 것이다. 상기 씨드막은 단일막 또는 이중막일 수 있다. 상기 씨드막이 단일막인 경우, 그것은 티타늄 나이트라이드(TiN)막인 것이 바람직하고, 이중막인 경우, 티타늄(Ti)막과 티타늄 나이트라이드막이 순차적으로 적층된(Ti/TiN) 것이 바람직하다. 상기 피닝막은 반강자성(Anti-FerroMagnetic)막, 예를 들면 탄탈륨막이고, 상기 핀드막은 강자성(FM)막, 예를 들면 니켈 철(NiFe)막이다. 상부 자성막(62d)은 자기 분극의 방향이 인가되는 자기장에 따라 자유롭게 변하는 강자성막(이하 프리 강자성막이라 함) 및 캡핑층(capping layer)이 순차적으로 적층된 것이다. 상기 프리 강자성막은 단일막 또는 적어도 두 개의 자성막으로 이루어질 수 있다. 예를 들면, 상기 프리 강자성막은 코발트 철(CoFe)과 이리듐 망간(IrMn)이 순차적으로 적층된 것일 수 있다. 그리고 상기 캡핑층은 MTJ층(62)과 비트라인(70)의 접촉을 위한 것으로, 접촉 저항이 낮은 금속층, 예를 들면 탄탈륨(Ta)층 또는 루테튬(Ru)층이다. 산화 방지막(62b)은 터널링 산화막(62c)이 형성되는 과정에서 하부 자성막(62a)의 인터페이스가 손상되는 것, 예를 들면 산화되는 것을 방지하기 위한 것이다. 산화 방지

막(62b)은 제1 알루미늄 산화막(AlO_x)으로써, 예를 들면 Al_2O_3 막이다. 터널링 산화막(62c)은 산화 방지막(62b)이 형성된 방법과 다른 방법으로, 곧 원자층 증착(Atomic Layer Deposition)방법(이하, ALD방법이라 함)으로 형성된 것이다. 터널링 산화막(62c)은 ALD방법으로 형성된 소정 두께의 산화막인 것이 바람직한데, 예를 들면 제2 알루미늄 산화막(AlO_x)인 것이 바람직하다. 그러나 터널링 산화막(62c) 알루미늄 하프늄 산화막($Al_xHf_{1-x}O_y$) 또는 철 산화막(Fe_3O_4)일 수 있다. 또한, 상기 제2 알루미늄 산화막은 알루미늄(Al_2O_3)막인 것이 바람직하나, 다른 알루미늄 산화막도 무방하다.

<51> 이러한 MTJ층(62)은 도 4에 도시한 자기 램은 물론이거니와 다른 자기 램, 예컨대 워드 라인(52)이 MTJ층(62) 위쪽에 구비되고, 비트라인(70)이 MTJ층(62) 아래쪽에 구비된 자기 램에도 적용될 수 있다.

<52> 계속해서, 제2 층간 절연막(54) 상으로 패드 도전층(60) 및 MTJ층(62)을 덮는 제3 층간 절연막(64)이 형성되어 있다. 그리고 MTJ층(62)이 노출되는 비어홀(66)이 제3 층간 절연막(64)에 형성되어 있다. 또한, 제3 층간 절연막(64) 상으로는 비어홀(66)을 채우면서 MTJ층(62)과 접촉되는 비트라인(70)이 형성되어 있다. 이때, 비트라인(70)은 데이터 라인(52) 및 게이트 적층물(44)과 수직하게 형성된 것이 바람직하다.

<53> 다음, 상술한 바와 같은 여러 요소들을 포함하는 자기 램의 제조방법에 대해 설명한다.

<54> MTJ층(62)을 중심으로 그 전후 단계는 도 4를 참조하여 설명하고, MTJ층(62)을 형성하는 과정은 도 5 내지 도 8을 참조하여 설명한다.

- <55> 도 4를 참조하면, 반도체 기판(40)에 활성영역(AA) 및 필드영역(FA)을 설정한다. 필드영역(FA)에 소자 분리를 위한 산화막(42)을 형성한다. 활성영역(AA) 상에 게이트 전극이 포함된 게이트 적층물(44)을 형성한다. 게이트 적층물(44) 양측의 활성영역(AA)에 소오스 및 드레인(46, 48)을 형성한다. 이렇게 해서, 반도체 기판(40)에 트랜지스터가 형성된다. 상기 트랜지스터는 MTJ층(62)에 데이터를 기록할 때, 오프 상태가 되고, MTJ층(62)에 기록된 데이터를 읽을 때 온 상태가 된다.
- <56> 계속해서, 반도체 기판(40) 상에 상기 트랜지스터를 덮는 제1 층간 절연막(50)을 형성한다. 제1 층간 절연막(50) 상에, 바람직하게는 게이트 적층물(44) 바로 위쪽에 대응되는 소정 영역 상에 게이트 적층물(44)과 나란하게 데이터 라인(52)을 형성한다. 데이터 라인(52)은 MTJ층(62)에 데이터를 기록하기 위한 것으로, 상기 데이터 기록시에 소정의 전류가 인가된다. 제1 층간 절연막(50) 상에 데이터 라인(52)을 덮는 제2 층간 절연막(54)을 형성한다. 이어서, 제1 및 제2 층간 절연막(50, 54)에 반도체 기판(40)의 소정 영역이 노출되는 콘택홀(56)을 형성한다. 콘택홀(56)을 통해서 상기 트랜지스터의 드레인 영역이 노출된다. 콘택홀(56)을 도전성 플러그(58)로 채운 다음, 제2 층간 절연막(54) 상에 패드 도전층(60)을 형성한다. 패드 도전층(60)은 도전성 플러그(58) 전면과 접촉되고, 데이터 라인(52) 위쪽으로 확장되도록 형성한다. 이러한 패드 도전층(60)의 소정 영역 상에, 바람직하게는 데이터 라인(52) 바로 위쪽에 MTJ층(62)을 형성한다.
- <57> MTJ층(62)을 형성하는 구체적인 과정은 도 5 내지 도 8을 참조한다.
- <58> 먼저, 도 5를 참조하면, 패드 도전층(60) 상에 씨드막(seed layer), 피닝막 및 핀드막을 포함하는 하부 자성막(62a)을 형성한다. 하부 자성막(62a)의 상기 각 막들은 스퍼터링(sputtering) 방법 또는 이온빔 증착(Ion Beam Deposition)방법으로 형성한다. 하

부 자성막(62a)의 상기 각 막에 대한 구체적인 예는 자기 램의 설명에서 상술하였으므로 생략한다.

<59> 계속해서, 하부 자성막(62a) 상에 후속 공정에서 산화 방지막으로 전환될 금속막(62b')을 형성한다. 금속막(62b')은 예를 들어 알루미늄(Al)막으로 형성하되, 스퍼터링 방법으로 형성하는 것이 바람직하다. 이후, 금속막(62b')을 소정의 산화 방식, 예를 들면 플라즈마 산화방식으로 산화시킨다. 이 결과, 도 6에 도시한 바와 같이 하부 자성막(62a)의 최상층, 곧 상기 핀드막 상에 산화 방지막(62b), 예를 들면 제1 알루미늄 산화막(AlO_x)이 형성된다. 산화 방지막(62b)은 하부 및 상부 자성막(62a, 62d)사이에 구비된 중간 산화막을 구성하는 물질막 중의 하나이다.

<60> 도 7을 참조하면, 산화 방지막(62b) 상에 터널링 산화막(62c) 및 상부 자성막(62d)을 순차적으로 형성한다. 이때, 상기 중간 산화막을 구성하는 나머지 하나인 터널링 산화막(62c)은 ALD방법으로 형성하는 것이 바람직하고, 상부 자성막(62d)은 스퍼터링 방법으로 형성하는 것이 바람직하다.

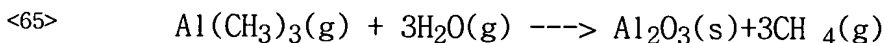
<61> ALD 방법으로 터널링 산화막(62c)을 형성하고, 터널링 산화막(62c)이 예컨대 제2 알루미늄 산화막(AlO_x)으로 형성되는 경우, 터널링 산화막(62c)의 구체적인 형성 과정은 다음과 같다.

<62> 곧, 소정의 온도, 예컨대 $150^{\circ}\text{C} \sim 500^{\circ}\text{C}$ 바람직하게는 400°C 로 유지되는 ALD장치의 웨이퍼 스테이지 상에 산화 방지막(62b)이 형성된 반도체 기판(40)을 로딩한다. 이후, 상기 ALD 장치에 제1 반응요소인 알루미늄(Al)이 포함된 제1 전구체를 소정량 공급하여 산화 방지막(62b) 표면에 제1 전구체를 화학 흡착시킨다. 상기 제1 전구체는 알루미늄 및 탄화수소계열의 리간드를 포함하는 화합물, 예를 들면, $Al(CH$

$\text{Al}(\text{CH}_2\text{-CH}_2\text{-}\dots\text{-CH}_3)_3$ 또는 $\text{Al}(\text{CH}_2\text{-CH}_2\text{-}\dots\text{-CH}_3)$ 에서 하나의 H가 $\text{CH}_2\text{-CH}_2\text{-}\dots\text{-CH}_3$ 로 치환된 화합물이다. 이어서 상기 ALD 장치를 배기하여 상기 주입된 제1 전구체들 중 산화 방지막(62b) 표면에 화학 흡착되지 않은 제1 전구체들을 상기 ALD 장치 밖으로 제거한다. 다음, 산화 방지막(62b) 상으로 상기 제1 전구체의 알루미늄을 산화시키기 위한 소정량의 제2 전구체를 상기 ALD 장치에 공급한다. 상기 제2 전구체로 수증기(H_2O)와 오존(O_3)이 사용될 수 있으나, 수증기가 바람직하다.

<63> 상기 ALD 장치에 상기 제2 전구체가 공급되면서 제2 전구체(47)는 제1 전구체(46)와 화학반응을 일으키게 된다. 이 결과 아래의 화학 반응식에서 알 수 있듯이 상기 제1 전구체의 리간드, $(-\text{CH}_3)_3$ 와 상기 제2 전구체(47)의 수소(H)가 반응하여 반응 부산물(3CH_4)이 생성되는데, 이 반응 부산물을 휘발된다. 이렇게 해서, 산화 방지막(62b) 상에 터널링 산화막(62c)인 알루미늄 산화막(AlO_x)이 형성된다.

<64> [화학 반응식]



<66> 산화 방지막(62b) 상에 알루미늄 산화막을 형성한 후, 상기 ALD 장치를 배기하여 상기 ALD 장치로부터 상기 휘발성 물질들과 기타 부산물들을 제거한다. 이후, 산화 방지막(62b) 상에 원하는 두께의 알루미늄 산화막이 형성될 때까지 상기한 과정을 반복한다.

<67> 도 7을 계속 참조하면, 터널링 산화막(62c) 상에 형성한 상부 자성막(62d)은 도시는 않았지만 터널링 산화막(62c) 상에 프리 강자성막 및 캡핑층(capping layer)을 순차적으로 적층하여 형성한다. 상기 프리 강자성막은 단일막으로 형성할 수도 있고, 두 개이상의 자성막을 순차적으로 적층하여 형성할 수도 있다. 전자의 경우, 상기 프리 강

자성막은 코발트 철(CoFe)막 또는 이리듐 망간(IrMn)막으로 형성하고, 후자의 경우, 코발트 철(CoFe)막과 이리듐 망간(IrMn)막을 순차적으로 적층하여 형성하는 것이 바람직하다.

<68> 상기와 같이 터널링 산화막(62c) 상에 상부 자성막(62d)을 형성한 다음, 상부 자성막(62d) 상에 감광막(미도시)을 도포한다. 이어서 통상의 사진 공정으로 상기 감광막을 패터닝 하여 도 4의 MTJ층(62)이 형성될 영역을 한정하는 감광막 패턴(80)을 형성한다. 감광막 패턴(80)을 식각 마스크로 하여 패드 도전층(60) 상에 적층된 물질막들(62a, 62b, 62c, 62d)을 역순으로 식각한다. 도 7의 점선은 식각 방향을 나타낸다. 상기 식각은 패드 도전층(60)이 노출될 때까지 실시한다. 상기 식각이 완료된 후, 감광막 패턴(80)을 에칭(ashing)하고 스트립하는 통상의 방법으로 제거한다.

<69> 도 8은 상기 식각 후 감광막 패턴(80)을 제거한 후의 결과물의 단면을 보여주는데, 패드 도전층(60)의 소정 영역 상에 하부 자성막(62a), 중간 산화막들(62b, 62c) 및 상부 자성막(62d)으로 이루어진 MTJ층(62)이 형성된 것을 볼 수 있다.

<70> 다시 도 4를 참조하면, 이와 같이 패드 도전층(60)의 소정 영역 상에 MTJ층(62)을 형성한 후, 제2 층간 절연막(54) 상으로 패드 도전층(60) 및 MTJ층(62)을 덮는 제3 층간 절연막(64)을 형성한다. 그리고 제3 층간 절연막(64)에 MTJ층(62)이 노출되는 비어홀(66)을 형성한 다음, 비어홀(66)을 채우는 비트라인(70)을 제3 층간 절연막(64) 상으로 형성한다.

<71> <실험예>

- <72> 본 발명자는 상술한 본 발명의 자기 램의 특성, 보다 구체적으로는 MTJ층의 특성, 예컨대 MR비를 실측하기 위하여 도 9에 도시한 바와 같이 MTJ층(이하, 본 발명의 MTJ층이라 함)을 제조하였다. 이와 함께 상기 본 발명의 MTJ층과 비교하기 위한 대조군으로 도 10에 도시한 바와 같은 MTJ층(이하, 종래의 MTJ층이라 함)을 제조하였다.
- <73> 도 9를 참조하면, 본 실험예에 사용한 상기 본 발명의 MTJ층에서 하부 자성막(62a)은 스퍼터링 방법을 적용하여 티타늄 나이트라이드막(62a'), 탄탈륨막(62a'') 및 니켈 철(NiFe)막(62a''')을 순차적으로 적층하여 형성하였다. 그리고 중간 산화막을 구성하는 산화 방지막(62b) 및 터널링 산화막(62c)은 모두 알루미늄 산화막(AlO_x)으로 형성하였다. 이때, 산화 방지막(62b)은 스퍼터링 방법으로 금속막(Al)을 형성한 다음, 상기 금속막을 산화시켜 형성하였고, 터널링 산화막(62c)은 ALD 방법으로 형성하였다. 또한 상부 자성막(62d)은 스퍼터링 방법을 적용하여 코발트 철(CoFe)막(62d'), 이리듐 망간(IrMn)막(62d'') 및 탄탈륨(Ta)막(62d''')을 순차적으로 적층하여 형성하였다. 이때, 하부 자성막(62a) 및 상부 자성막(62d)의 탄탈륨막(62a'', 62d''')은 루테튬(Ru)막으로 대체될 수 있다.
- <74> 한편, 도 10에 도시한 상기 종래의 MTJ층은 도 9에 도시한 본 발명의 MTJ층에서 산화 방지막(62b)을 제거한 것이다.
- <75> 도 11 내지 도 13은 상기 본 발명의 MTJ층과 종래의 MTJ층에 대한 특성을 나타내는 그래프들을 보여준다.
- <76> 구체적으로, 도 11은 바이어스 전압 변화에 따른 상기 종래의 MTJ층의 저항 변화를 나타낸 제1 및 제2 그래프들(G1, G2)을 보여주는데, 제1 그래프(G1)는 상하부 자성막의

자화 방향이 같은 방향일 때의 저항 변화를, 제2 그래프(G2)는 상기 자화 방향이 반대 방향일 때의 저항 변화를 보여준다.

<77> 도 11을 참조하면, 제1 및 제2 그래프들(G1, G2)이 겹쳐진 것을 알 수 있는데, 이러한 결과는 상하부 자성막의 자화 방향이 동일할 때와 반대 방향일 때의 상기 종래 MTJ층의 저항이 모두 같다는 것을 의미한다.

<78> 이와 같이 종래의 MTJ층의 저항은 상하부 자성막의 자화 방향이 동일할 때나 반대 방향일 때 동일하므로, 종래의 MTJ층의 경우, MR비는 0%가 된다.

<79> 도 12는 바이어스 전압 변화에 따른 상기 본 발명의 MTJ층의 저항 변화를 나타내는 제3 및 제4 그래프들(G3, G4)과 함께 MR비의 변화를 나타내는 제5 그래프(G5)를 보여준다.

<80> 제3 그래프(G3)는 상하부 자성막의 자화 방향이 반대일 때의 저항 변화를 보여주고, 제4 그래프(G4)는 상기 자화 방향이 동일할 때의 저항 변화를 보여준다.

<81> 도 12를 참조하면, 제3 및 제4 그래프들(G3, G4)은 제1 및 제2 그래프들(G1, G2)과 달리 소정 간격으로 이격된 것을 볼 수 있는데, 이것은 본 발명의 MTJ층에서 상하부 자성막의 자화 방향이 동일할 때와 반대 방향일 때의 MTJ층 저항이 서로 다르다는 것을 의미한다.

<82> 이와 같이 본 발명의 MTJ층의 경우, 상하부 자성막의 자화 방향이 동일할 때와 반대 방향일 때 MTJ층의 저항이 달라지고, 따라서 제5 그래프(G5)로 나타낸 바와 같이 본 발명의 MRJ층은 소정의 MR비를 갖게 된다.

- <83> 제5 그래프(G5)를 참조하면, 본 발명의 MTJ층의 MR비는 소정의 바이어스 전압, 예를 들면 100mV에서 0.13인 것을 알 수 있는데, 백분율로는 13%이다. 이 정도의 MR비라면, 상하부 자성막의 자화 방향이 동일할 때와 반대 방향일 때, 곧 데이터 "1"이 기록된 상태와 "0"이 기록된 상태를 충분히 구분할 수 있다.
- <84> 도 13은 상기 본 발명의 MTJ층에 인가되는 바이어스 전압을 소정의 값, 예컨대 400mV로 고정시킨 상태에서 MTJ층에 인가되는 자기장(H)의 변화에 따른 저항 변화를 나타내는 제6 및 제7 그래프들(G6, G7)을 보여준다. 도 13에 도시한 제6 및 제7 그래프들(G6, G7)은 연속된 하나의 그래프이나 설명의 편의 상, 두 개의 그래프로 분리하였다.
- <85> 제6 그래프(G6)는 상기 본 발명의 MTJ층의 상하부 자성막의 자화 방향이 동일하게 되도록 인가된 자기장의 세기를 서서히 줄여 상기 자기장의 세기가 영이 되게 한 다음, 계속해서 상기 상하부 자성막의 자화 방향이 반대 방향이 되도록 상기 자기장의 세기를 증가시켰을 때의 MTJ층의 저항 변화를 나타낸 것이다.
- <86> 한편, 자기장의 세기가 영이 된 후, 상기 상하부 자성막의 자화 방향이 반대 방향이 되도록 상기 자기장의 세기를 처음과 반대 방향으로 증가시키면서 상기 상하부 자성막의 자화 방향도 동일한 방향에서 반대 방향으로 되어 본 발명의 MTJ층의 저항은 제6 그래프(G6)에서 볼 수 있듯이 크게 증가된다. 계속해서 상기 자기장의 세기를 증가시키면, 예컨대 자기장의 세기가 -250(Oe)을 넘어 -300(Oe)에 가까이 가면서 상기 상하부 자성막의 자화 방향은 다시 동일한 방향이 되어 상기 본 발명의 MTJ층의 저항은 다시 낮아진다. 제6 그래프(G6)의 좌측 평탄부는 이를 나타낸다.

<87> 제7 그래프(G7)는 제6 그래프(G6)의 좌측 평탄부 끝에서 반대 방향으로 시작되는 저항 변화를 나타낸다. 곧, 제7 그래프(G7)는 상기 상하부 자성막의 자화 방향이 다시 동일한 방향이 된 후, 상기 자기장의 세기를 점차 줄여서 자기장의 세기를 0으로 한 다음, 계속해서 방향을 반대로 하여 상기 자기장의 세기를 점차 증가시켰을 때의 저항 변화를 나타낸 것이다.

<88> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 터널링 산화막(62c) 및 산화 방지막(62b)을 포함하는 MTJ층(62)에서 상부 및 하부 자성막(62a, 62b)의 구성을 다르게 할 수 있을 것이다. 또한, 상기 하였듯이 본 발명의 MTJ층(62)을 데이터 라인 및 비트라인의 구성이 상기한 바와 다르게 된 자기 램에도 적용할 수 있을 것이다. 또한, 터널링 산화막(62c)을 상기한 산화막과 다른 산화막으로 대체할 수도 있고, 동등한 역할을 하는 비산화막으로 대체할 수도 있을 것이다. 또한, 산화 방지막(62b)도 알루미늄 산화막과 다른 산화막 혹은 비산화막으로 형성할 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고, 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<89> 상술한 바와 같이, 본 발명의 자기 램은 ALD방법으로 형성된 터널링 산화막을 구비하고, 그 아래에 스퍼터링 방법으로 형성된 산화 방지막을 구비한다. 상기 산화 방지막에 의해 ALD 방법으로 상기 터널링 산화막을 형성하는 과정에서 하부 자성막의 인터페이

스가 산화되는 것이 방지된다. 이에 따라 상기 터널링 산화막을 균일한 두께로 형성하면
서도 그 과정에서 MTJ층의 MR비가 낮아지는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

단위 셀이 한 개의 트랜지스터와 한 개의 MTJ층을 구비하는 자기 램에 있어서,
상기 MTJ층은 하부 자성막, 산화 방지막, 터널링 산화막 및 상부 자성막이 순차적으로 적층되어 형성된 것을 특징으로 자기 램.

【청구항 2】

제 1 항에 있어서, 상기 산화 방지막은 알루미늄 산화막(AlO_x)인 것을 특징으로 자기 램.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 터널링 산화막은 알루미늄 산화막(AlO_x), 알루미늄 하프늄 산화막($Al_xHf_{1-x}O_y$) 또는 철 산화막(Fe_3O_4)인 것을 특징으로 자기 램.

【청구항 4】

제 1 항에 있어서, 상기 터널링 산화막은 구성하는 각 성분이 원자층 단위로 순차적으로 반복 적층된 구조인 것을 특징으로 자기 램.

【청구항 5】

단위 셀이 한 개의 트랜지스터와 한 개의 MTJ층을 구비하는 자기 램의 제조 방법에 있어서,

상기 MTJ층은 하부 자성막, 산화 방지막, 터널링 산화막 및 상부 자성막을 순차적으로 적층하여 형성하되,

상기 터널링 산화막은 원자층 증착 방법으로 형성하고, 상기 다른 세 물질막 중 적어도 상기 산화 방지막은 원자층 증착 방법과 다른 방법으로 형성하는 것을 특징으로 하는 자기 램 제조 방법.

【청구항 6】

제 5 항에 있어서, 상기 산화 방지막은 스퍼터링 방법으로 형성하는 것을 특징으로 하는 자기 램 제조 방법.

【청구항 7】

제 5 항 또는 제 6 항에 있어서, 상기 하부 자성막은 스퍼터링 방법 또는 원자층 적층 방법으로 형성하는 것을 특징으로 하는 자기 램 제조 방법.

【청구항 8】

제 5 항 또는 제 6 항에 있어서, 상기 상부 자성막은 스퍼터링 방법 또는 원자층 적층 방법으로 형성하는 것을 특징으로 하는 자기 램 제조 방법.

【청구항 9】

제 7 항에 있어서, 상기 상부 자성막은 스퍼터링 방법 또는 원자층 적층 방법으로 형성하는 것을 특징으로 하는 자기 램 제조 방법.

【청구항 10】

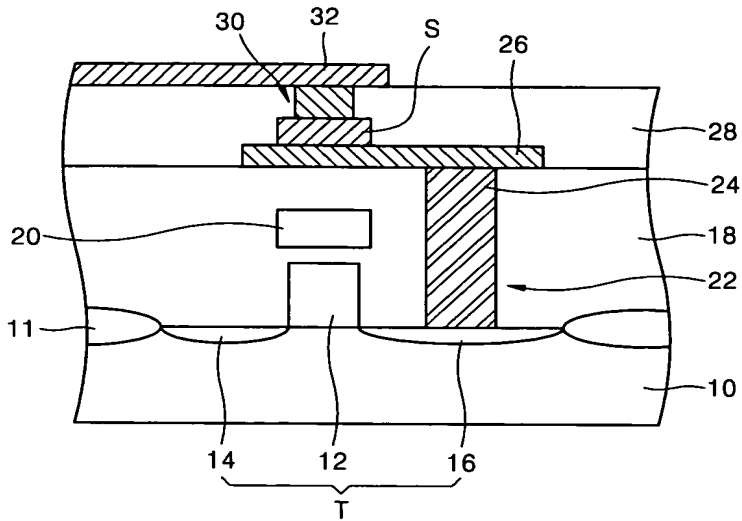
제 5 항에 있어서, 상기 산화 방지막은 알루미늄 산화막(AlO_x)으로 형성하는 것을 특징으로 자기 램 제조 방법.

【청구항 11】

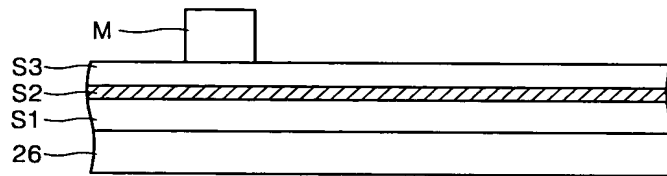
제 5 항 또는 제 10 항에 있어서, 상기 터널링 산화막은 알루미늄 산화막(AlO_x), 알루미늄 하프늄 산화막($Al_xHf_{1-x}O_y$) 또는 철 산화막(Fe_3O_4)으로 형성하는 것을 특징으로 자기 램 제조 방법.

【도면】

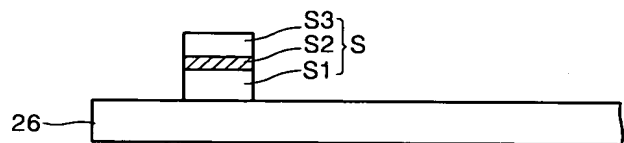
【도 1】



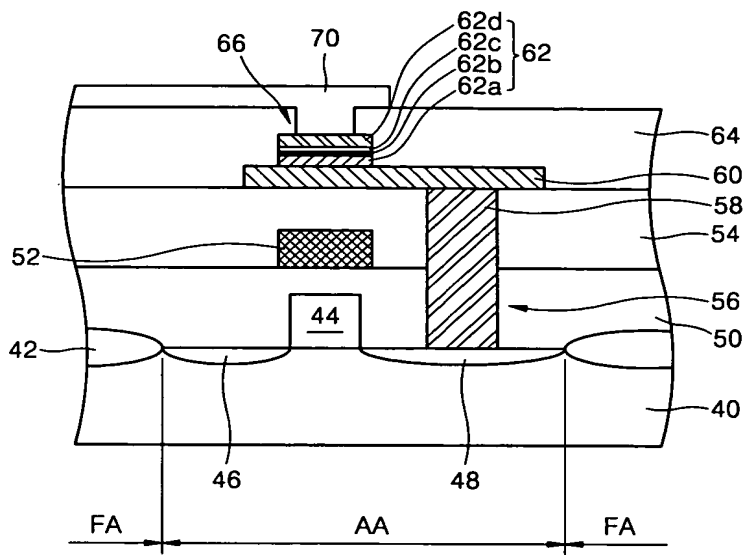
【도 2】



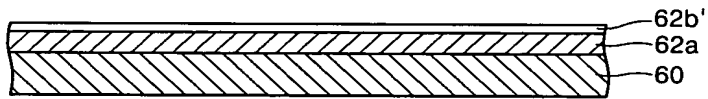
【도 3】



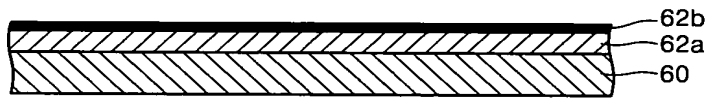
【도 4】



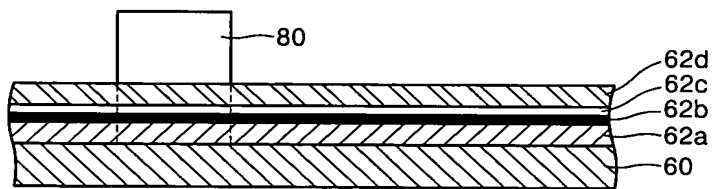
【도 5】



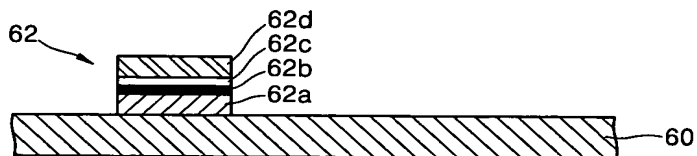
【도 6】



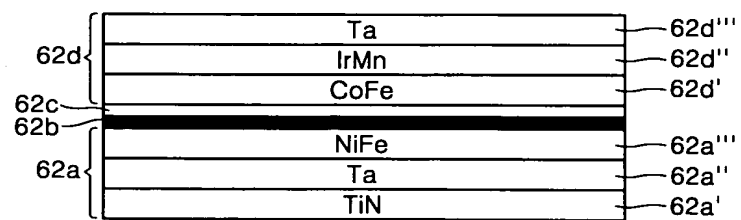
【도 7】



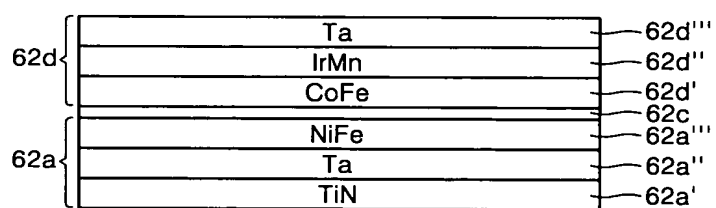
【도 8】



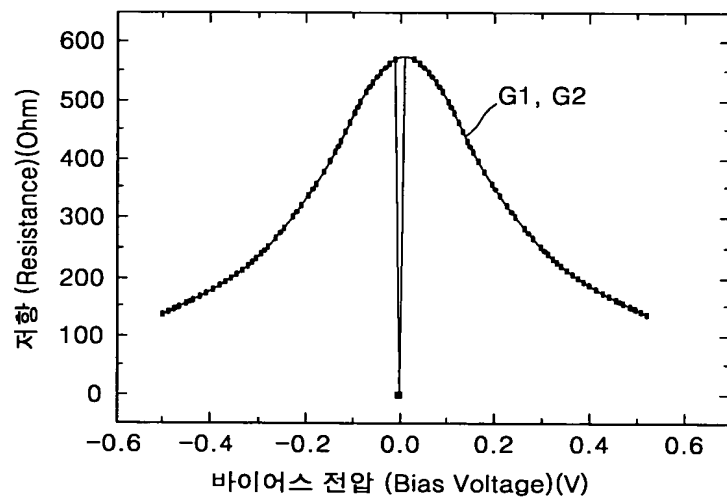
【도 9】



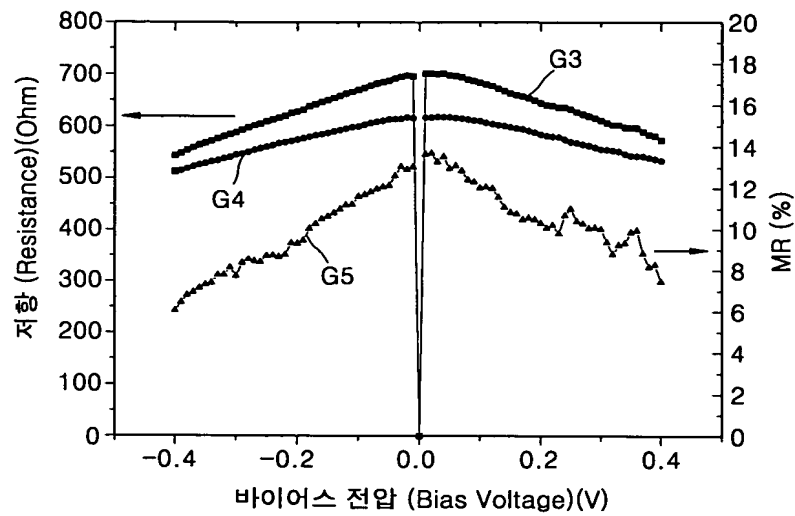
【도 10】



【도 11】



【도 12】



【도 13】

